

ATM ADAPTATION DEVICE AND CRC CODE GENERATION CIRCUIT

Publication number: JP7183887

Publication date: 1995-07-21

Inventor: YAJIMA HITOSHI; YANAGI JUNICHIRO; HAMADA TORU; TANAKA KATSUYOSHI

Applicant: HITACHI LTD; HITACHI VLSI ENG

Classification:

- International: H04L1/00; H04L12/28; H04Q3/00; H04L1/00; H04L12/28; H04Q3/00; (IPC1-7): H04L12/28; H04L1/00; H04Q3/00

- European:

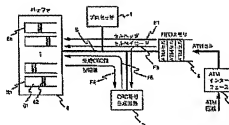
Application number: JP19930326831 19931224

Priority number(s): JP19930326831 19931224

Report a data error here

Abstract of JP7183887

PURPOSE: To easily generate the cyclic redundant inspection code for an ATM adaptation layer frame in an ATM adaptation device. **CONSTITUTION:** A cyclic redundant inspection code generation circuit 2, a FIFO memory 3 temporarily storing a reception ATM cell, a buffer 4 for frame assembling which is prepared for every address of the ATM cell and a processor 1 are mutually connected by a bus. At a point of time when the header part of each cell is read from the FIFO memory 3, the CRC values up to the previous cell at the same address are set to a CRC code generation circuit 2. When the information field part of the cell is transferred from the FIFO memory 3 to a frame assembling buffer 4, the CRC values up to the point of time are generated in the CRC code generation circuit 2 at the same time and these values are stored in the frame assembling buffer 4. As a result, the generation of a cyclic redundant inspection code and a collation processing can be promptly executed with little hard quantity.



Data supplied from the esp@cenet database - Worldwide

特開平7-183887

(43) 公開日 平成7年(1995)7月21日

(51) Int. Cl. ⁴	識別記号	序内整理番号	F I	技術表示箇所
H 0 4 L 12/28				
1/00	B	9371-5K		
H 0 4 Q 3/00		8732-5K	H 0 4 L 11/ 20	E
審査請求 未請求 請求項の数 5 O L (全 12 頁)				

(21) 出願番号 特願平5-328831

(22) 出願日 平成5年(1993)12月24日

(71) 出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233468

日立超エル・エス・アイ・エンジニアリング株式会社
東京都小平市上水本町5丁目20番1号

(72) 発明者 矢嶋 仁

東京都分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

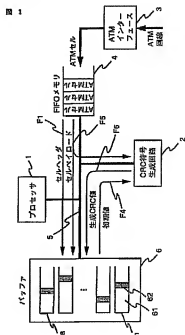
(54) 【発明の名称】 ATMアダプテーション装置およびCRC符号生成回路

(57) 【要約】

【目的】 ATMアダプテーション装置において、ATMアダプテーションレイヤフレームに対する巡回冗長検査符号の生成を容易にすることを目的とする。

【構成】 巡回冗長検査符号生成回路2と、受信ATMセルを一時蓄積するFIFOメモリ3と、ATMセルの宛先ごとに用意されたフレーム組立用のバッファ4と、プロセッサ1とをバスで相互接続する。FIFOメモリ3から各セルのヘッダ部を読み出す時点で、同一宛先の前セルまでのCRC値をCRC符号生成回路2に設定し、FIFOメモリ3から上記セルの情報フィールド部分をフレーム組立バッファ4へ転送するとき、同時にCRC符号生成回路2でその時点までのCRC値が生成し、これをフレーム組立バッファ4に記憶しておく。

【効果】 少ないハード量で巡回冗長検査符号の生成と照合処理を迅速に実行できる。



1

【特許請求の範囲】

【請求項1】 ATM網から受信したATMセルを一時的に蓄積するためのFIFOメモリと、上記FIFOメモリから取り出されたATMセルをフレームに組み立てるためのバッファメモリと、上記バッファメモリで組み立てられたフレームのビット誤りを検査するための巡回冗長検査符号を生成するCRC符号生成回路と、ATMセルの転送を制御するためのプロセッサとをバスで相互接続し、上記プロセッサの制御動作によって、上記FIFOメモリから上記バッファメモリへのATMセルの読み出しの都度、上記CRC符号生成回路への初期値設定と、上記CRC符号生成回路へのセルデータの供給とを行うことを特徴とするATMアダプテーション装置。

【請求項2】 前記バッファメモリに組立て中のフレームに対応して既生成済のCRC符号を記憶しておき、前記プロセッサが、前記FIFOメモリから取り出されたATMがフレームの先頭セルの場合は初期化データ、先頭セル以外の場合は該セルの宛先と対応する既生成済のCRC符号を前記CRC符号生成回路に前記初期値として設定することを特徴とする請求項1に記載のATMアダプテーション装置。

【請求項3】 前記プロセッサが、前記FIFOメモリから前記バッファメモリにATMセルのヘッダ部を転送した後、前記CRC符号生成回路に前記初期値を設定し、上記バッファメモリに上記ATMセルの情報フィールド部を転送する時、上記CRC符号生成回路に上記ATMセルの情報フィールド部を供給し、次のATMセルの取り出しに先だって、上記CRC符号生成回路に生成されたCRC符号中間値を前記バッファメモリに記憶することを特徴とする請求項2に記載のATMアダプテーション装置。

【請求項4】 外部データバスを介してプロセッサからデータの供給を受けるCRC符号生成回路において、上記外部データバスから並列入力されたCRC演算対象データをデータ幅の小さい並列データに分割するためのセクタ手段と、CRC符号を生成するための内部演算回路と、既生成済のCRC符号を保持するためのラッチ手段とを有し、上記内部演算回路が、上記ラッチ手段から供給される外部データのバス幅よりも大きいデータ幅をもつ既生成済のCRC符号と、上記セクタ手段から順次に供給されるデータ幅の小さいCRC演算対象データとによってCRC符号を演算することを特徴とするCRC符号生成回路。

【請求項5】 初期値として入力されたデータを保持する第1のラッチ部と、入力データを上位データと下位データとに切り替える第1のセクタ部と、第1のセクタ部からのデータと第2のラッチ部からの繰越データとを入力とする演算部と、初期値として入力されたデータと演算部からの出力データとを切り替える第2のセクタ部と、第2のセクタ部からの出力データを保持する第

2

2のラッチ部と、第2のラッチ部からの出力データを上位のデータと下位のデータとに切り替える第3のセクタ部と、第3のセクタ部の出力データの回路外部への出力を制御する出力制御回路部と、回路内部で使用するラッチ用クロック信号とセレクト信号を生成する内部制御信号生成回路部とを備えたことを特徴とするCRC符号生成回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ATM(Asynchronous Transfer Mode)アダプテーション装置に関し、更に詳しくは、ATMセルリアンセムル時のAAL(ATM Adaptation Layer)レベルの巡回冗長検査(以下、CRCと略す)符号の生成回路に関する。

【0002】

【従来の技術】 通信回線、特にCRC符号検査対象データが連続的に到着するような通信回線に接続されるシステムとして、例えば、日立HD64530 LAPDコントローラユーザーズマニュアルの図1-2システム構成例(F6)に記載されているように、物理レイヤ回線終端デバイスに接続されたデータリンクレイヤ終端デバイスと、送受信データや各種制御パラメータを記憶している外部メモリと、プロセッサとをバスで相互接続し、データリンクレイヤ終端デバイスでデータリンクレベルのCRC符号生成と整合処理を行うようにした方式のものが知られている。

【0003】

【発明が解決しようとする課題】 然るに、ATM(Asynchronous Transfer Mode)アダプテーション装置においては、ATM回線側から入力されるデータ(フレーム)は、固定長の幾つかのATMセル(以下、単にセルという)に分割され、他の宛先データのセルと互いに入れ子状態となって到着する。そのため、上述した従来システム方式と同様の方式で各入力データ毎のCRC符号を生成しようとする、各宛先データ毎にCRC符号生成回路を用意する必要がある、ハード量が増大してしまう。このようなハード量の増大を抑えるために、例えば、各宛先毎に入力セルをAALレベルのフレームに組み立てた後、共用のCRC符号生成回路で一括してCRC符号生成および整合処理を行うようにした場合、プロセッサの負荷に偏りが生じる。

【0004】 また、CRC符号の生成処理には、並列データを入力とするCRC符号生成回路が適用されるが、この回路は、生成すべきCRC符号のビット数と並列入力されるデータビット数の増加に伴って排他的論理和の論理ゲート数が増加し、回路規模が大化する。これを避けるために、例えば、CRC符号生成回路の並列入力データ幅を外部データバス幅よりも小さくすると、この回路へのデータ書き込み動作回数が増え、CRC符号生成処理に時間がかかるという問題がある。

3

【0005】本発明の目的は、ATMセルから組み立てられたデータのCRC符号生成処理をハードウェア量の増加を抑えて実現できるATMアダプテーション装置、およびCRC符号生成回路を提供することにある。

【0006】本発明の他の目的は、ATMセルから組み立てられたデータフレームについてのCRC符号生成と照合の所要時間を短縮できるATMアダプテーション装置、およびCRC符号生成回路を提供することにある。

【0007】

【課題を解決するための手段】上記目的を達成するために、本発明では、CRC符号生成回路と制御用のプロセッサとバッファメモリとをバス（プロセッサバス）で相互接続し、上記プロセッサからCRC符号生成回路にCRC符号演算のための初期値（既生成CRC符号を含む）を任意に設定できるようにしたことを特徴とする。

【0008】また、本発明では、上記バッファメモリにATMセルの宛先毎に設けられたデータフレーム組立て用バッファエリア、またはこれに対応するバッファエリアに、現在組立て途中にあるデータフレームについての既に生成済のCRC符号を記憶しておき、新たに受信されたATMセルを該当するデータフレーム組立て用バッファエリアに蓄積する時、既生成済のCRC符号を初期値として、CRC符号生成回路が上記受信ATMセルについてCRC符号演算を実行し、演算結果を上記バッファメモリ記憶しておくことを特徴とする。

【0009】本発明によるATMアダプテーション装置における制御手順は、例えば、受信セルが一時的に蓄積されるFIFOからATMセルのヘッダ部を取り出した時点で、そのヘッダ部に含まれている宛先情報と対応する生成済のCRC符号をバッファメモリから読み出し、CRC符号生成回路に初期値として設定する。ただし、取り出されたセルがAALで組み立てられるデータフレームの先頭セルの場合は、CRC符号生成回路を初期化する。次に、FIFOから上記ATMセルの情報フィールドを取り出してフレーム組立用のバッファエリアに転送する時、情報フィールドをCRC符号生成回路に供給し、CRC符号を生成する。CRC符号の生成値は宛先と対応するバッファへ格納しておく。

【0010】本発明のCRC符号生成回路は、外部データバス（プロセッサバス）から並列入力されたCRC演算対象データをセレクトによってデータ幅の小さい並列データに分割し、内部演算回路が、外部データバス幅より大きいデータ幅をもつ既生成済のCRC符号と、上記セレクトから順次に供給されるデータ幅の小さいCRC演算対象データとによってCRC符号を演算するようにしたことを特徴とする。

【0011】

【作用】本発明によれば、プロセッサからCRC符号生成回路にCRC演算のための初期値を任意に設定できるため、宛先の異なる複数のデータフレームに対して1つ

4

のCRC符号生成回路でCRC符号を生成でき、ハードウェアを簡単にすることができ。また、FIFOメモリから受信セルをFIFOメモリから組立てバッファに転送する時、このセルについてのCRC符号の生成処理を同時に行うことができるため、組立てバッファでデータフレームの組立てが完了してから1フレーム分のCRC演算を一括して実行する場合に比較して、CRC符号生成のための所要時間を短縮し、データの転送遅延を軽減できる。

【0012】また、本発明のCRC符号生成回路は、演算部への並列入力データ幅を外部データバス幅より小さくしているため、演算部の回路を小規模化できる。

【0013】

【実施例】以下、本発明の実施例を図面を参照して説明する。

【0014】図2は、ATMセルのフォーマットを示す。ATMセル7は、53バイトの固定長パケットであり、5バイトのヘッダ71と、48バイトの情報フィールド72とから成る。

【0015】図3は、AALタイプ5のCPCS-PDU (Common Part Convergence Sublayer - Protocol Data Unit) のデータフォーマットを示す。CPCS-PDU 8は、可変長の情報フィールド81と、フレーム全体が48バイトの倍数となるように挿入されるパッド82と、32ビットのCRCを含む8バイトの trailers 83とから成り、図2に示したATMセルの複数セル分の情報フィールド72が組み立てられて上記可変長の情報フィールド81を構成する。

【0016】図1は、本発明によるATMアダプテーション装置の基本的な構成を示す。1はデータ転送を制御するためのプロセッサ、2はCRC符号計算を行うためのCRC符号生成回路、3はATM回路に接続されたATMインターフェース、4はATM回路から受信されたATMセルを一時的に蓄積するためのFIFOメモリ、5はプロセッサバス、6はCPCS-PDU（データフレーム）組立用のメモリであり、ATMセルの宛先毎に用意された複数のバッファエリアからなる。メモリ6において、6a～6nは宛先毎の組立バッファエリアであり、各組立バッファエリアは、組立中のCPCS-PDU 61と、組立中のCPCS-PDU 61に対して生成済のCRC符号62とを蓄積している。

【0017】上記ATMアダプテーション装置において、ATMインターフェース3を介してFIFOメモリ4へ取り込まれた入力ATMセルは、AALタイプ5のCPCS-PDUを組み立てるために、プロセッサ1によって順次に読み出され、セルヘッダに含まれる宛先と対応したバッファエリア6iへ転送される。

【0018】本発明では、上記バッファエリア6iへ転送時点に、ATMセルの情報フィールド72をCRC符号生成回路2に送り込み、CRC符号生成処理を行う。

5

このCRC符号生成処理に先だって、FIFOメモリ4からATMセルのヘッダ71を読み出した時、プロセッサ1は、入力セルがデータフレームの先頭のものか否かを判定し、もし入力ATMセルがデータフレームの先頭セルの場合は初期値、そうでない場合はバッファエリア61から取り出した既生成済のCRC符号62をCRC符号生成回路2に設定する。CRC符号生成回路2が生成したCRC符号は、既生成済のCRC符号62として該当するバッファエリア61に記憶される。

【0019】図4に上記動作を実現するためにプロセッサ1が実行する処理のフローチャートを示す。まず、FIFOメモリ4からATMセルのヘッダ71を読み出し(ステップF1)、バッファ内に上記セルの宛先と対応するバッファエリアが既に用意されているか否かをチェックし、これがデータフレームの先頭セルか2番目以降のセルかを判定する(ステップF2)。

【0020】先頭セルであれば、CRC符号生成回路を初期化し(ステップF3)、先頭セルでなければ、宛先と対応するバッファエリア61に記憶されている既生成済CRC符号を読み出してCRC符号生成回路2へ設定する(ステップF4)。次に、FIFOメモリ4から上記セルの情報フィールド部分72を読み出し、バッファエリア61に転送する(ステップF5)。この時、上記セルの情報フィールド部分72をCRC符号生成回路2にも入力することによって、CRC符号の生成処理を実行させる。

【0021】1セル分のデータ転送を終了すると、CRC符号生成回路2が生成したCRC符号を読み出し、これをバッファエリア61に格納しておく(ステップF6)。ただし、入力セルがデータフレームの最終セルの場合は、セルの最後尾に含まれているCPCS-PDUのCRC部分をFIFOメモリ4から読み出す前に、CRC符号生成回路2が生成したCRC符号を読み取っておき、入力セルを最後まで転送した時にバッファエリア61に蓄積されるCPCS-PDU内のCRC符号と比較することにより、組み立てられたCPCS-PDUにビットエラーのないことを確認する。

【0022】上記本発明の方式によれば、宛先の異なるデータフレームのCRC符号生成と照合処理を1つのCRC符号生成回路で行うことができるため、ATMアダプテーション装置のハード量の増大を抑えることができる。また、CRC符号生成処理をセルの受信の都度行えるため、プロセッサの負荷を分散できる。

【0023】図1に示した例では、組立中のCPCS-PDU61に対応する生成済みCRC符号62を、組立中のCPCS-PDU61と同一のバッファエリア内に格納しているが、CRC符号62をCPCS-PDU61とは別のバッファ領域に保持するようにしてもよい。

【0024】図5は、CRC符号生成回路2の構成の1例を示すブロック図である。ここでは、生成するCRC

6

符号が4nビットで、外部データバス(プロセッサバス5)のビット幅が2nビットとする。

【0025】外部データバスから並列入力されたデータがCRC符号演算の初期値(既生成済のCRC符号の場合を含む)の場合、4nビットの初期値の上位2nビットが、1回目の書き込み動作でラッチ21に保持され、下位2nビットが2回目の書き込み動作でラッチ21に入力される。この時、ラッチ21に保持されていた上位2nビットと新たに入力された下位2nビットとを合わせた4nビットの初期値が、セレクタ24を介してラッチ25に転送される。

【0026】一方、外部データバスからの並列入力データがCRC符号の演算対象となるデータの場合、1回の書き込み動作の前で、2nビット並列入力の上位2nビットのデータがセレクタ22によってセレクトされ、同様に、上記書き込み動作の後で下位2nビットのデータがセレクタ22によってセレクトされる。セレクタ22からの出力データ101は、それぞれラッチ25からの節選データ100と共に演算部23へ入力される。

【0027】演算部23で計算された4nビットの出力データ102は、初期入力値が演算部出力値かをセレクトするためのセレクタ24を介して、ラッチ25に転送される。ラッチ25から出力される4nビットのCRC符号は、セレクタ26で上位または下位2nビットが順次にセレクトされ、出力制御回路27を介して外部データバスに出力される。

【0028】なお、ラッチ21および25のクロック105、セレクタ22のセレクト信号104、セレクタ24のセレクト信号106、セレクタ26のセレクト信号107、出力制御回路27の出力許可信号108、プロセッサへのデータアクリジビリティ信号109は、プロセッサから制御信号(アドレス信号を含む)103を受ける内部制御信号生成回路28において生成される。

【0029】図6と図7は、上記演算部23の論理構成の一例を示す。23A(図6)は出力データ102の上位データ102aに対する論理、23B(図7)は下位データ102bに対する論理を示し、この例では、8ビットの並列データ入力に対して32ビットのCRC符号を生成する場合の論理となっている。入力データ100および101と、出力データ102の最上位ビットをそれぞれC31、D7、E331とし、最下位ビットをC0、D0、E30としている。この例では、排他的論理和ゲートを延べ220個必要とするが、16ビット並列データ入力とした場合は、延べ414個の排他的論理和ゲートが必要である。セレクタ22において16ビットの並列入力データを8ビットの並列データに変換することにより、演算部の論理ゲート数を略半減できる。

【0030】図8は、内部制御信号生成回路28の構成を示す。この例では、プロセッサ1から入力される制御信号103として、上位データの有効を示す信号103

7

a、下位データの有効を示す信号103b、6本のアドレス信号103c、アドレスの有効を示す信号103d、リセット信号103e、メインクロック信号103fの合計11の信号を使用している。

【0031】アドレスデコード281は、アドレス信号103cから、CRC符号演算用初期値書き込み動作を示す信号200と、CRC符号演算用データ書き込み動作を示す信号201と、生成されたCRC符号の上位データの読み出し動作を示す信号202と、生成されたCRC符号の下位データの読み出し動作を示す信号203と、セル読み出し動作を示す信号204とを生成する。

【0032】生成されたCRC符号を外部データバス出力するために出力制御回路27に与える出力許可信号108は、CRC符号の読み出し動作を示す信号206と、データあるいはアドレスの有効を示す信号205との論理積をとったものとして生成される。

【0033】演算部23への入力データを切り替えるためにセレクト22へ与えるセレクト信号104は、ラッチ25の出力値が保持された後に切り替える必要があるため、後述するラッチ用クロック信号105をクロック入力としたラッチの出力信号として生成される。CRC符号生成回路への1回のデータ書き込み動作期間の途中で、上記セレクト信号104を切り替えることによって、この期間中に8ビット並列入力のCRC符号演算を2回実行し、データ書き込み動作を2回行う場合に比較してCRC符号の生成処理時間を短縮化している。

【0034】ラッチ25への入力データとして、CRC符号演算用初期値と演算部23の出力値との何れかを選択するためにセレクト24に与えられるセレクト信号106は、CRC符号演算用初期値書き込み動作を示す信号200から生成される。

【0035】CRC符号の出力データの上位と下位とを切り替えるためにセレクト26に与えられるセレクト信号107は、CRC符号の上位データの読み出し動作を示す信号202から生成される。

【0036】ラッチ21およびラッチ25のクロック信号105は、ラッチ用クロック信号生成部282において、アドレスデコード281からの出力信号と、アドレスの有効を示す信号103dを各種遅延させた信号207〜210とから生成される。上記ラッチ用クロック信号生成部282の回路構成の1例を図9に示す。

【0037】プロセッサへのデータアクリジ信号109は、データアクリジ信号生成部283において、アドレスデコード281からの出力信号と、アドレスの有効を示す信号103dを遅延させた信号211などから生成される。上記データアクリジ信号生成部283の回路構成の1例を図10に示す。

【0038】図11〜図14は、内部制御信号生成回路28から出力される主要信号のタイミング図を示す。

【0039】図11は、CRC符号生成用の初期値デー

8

タを設定する際のタイミング図であり、11は書き込みの1サイクルを示す。入力された初期値データは、セレクト信号106によってセレクトされ、ラッチ信号105の立ち上がりでラッチ部25に保持される。

【0040】図12はフレーム組立のバッファヘFIFOからセルの情報フィールドを転送する際のタイミング図であり、12はセルデータと同時にCRC符号生成回路にも取り込む動作の1サイクルを示す。セレクト信号104によって、1サイクル中に演算部23への入力データが切り替えられ、演算部23からの出力データは、ラッチ信号105の立ち上がりでそれぞれ保持される。

【0041】なお、ここに示したCRC符号生成回路は、CPCS-PDUの組立が完了した時点でCRC符号を一括して生成する場合にも適用できる構成となっている。図13は、CRC符号生成回路へCRC符号生成対象データを書き込む際のタイミング図であり、13はその書き込みの1サイクルを示す。動作は図12に示したセル読み込み時と同様である。

【0042】図14は、生成されたCRC符号を読み出す際のタイミング図であり、14はCRC符号の上位ビット読み出しの1サイクル、15はCRC符号の下位ビット読み出しの1サイクルを示す。生成されたCRC値の上位ビットまたは下位ビットの何れかがセレクト信号107によってセレクトされ、出力許可信号108によってそれぞれの値が外部データバスに出力される。

【0043】図15〜図17は、図1に示した本発明によるATMアダプテーション装置と上位装置との接続態様を示す。

【0044】図15と図16は、ATMアダプテーション装置が、ATM回路と他の通信回路とを接続するための回路接続装置に適用された例であり、ATM回路から受信されたセルが、ATMアダプテーション装置によってデータフレームに組み立てられ、フレームインターフェース9を介して他の通信回路へ転送されるようになっている。図15は、フレームインターフェース9をバッファ6に直接接続することによって、プロセッサバス5上でのインターフェース9とプロセッサ1との結合を軽減した構成、図16はフレームインターフェース9をプロセッサバス5に接続し、ハードウェアを小型化した構成を示す。

【0045】ATMアダプテーション装置からフレームインターフェース9へのデータフレームの受渡しには、例えば、プロセッサ1が組立て済みのバッファエリア6にフラグをたて、これを処理したフレームインターフェース9がフラグを消し、プロセッサ1がフラグの消されたバッファエリアを再利用するセマフォ方式を採用すればよい。

【0046】図17は、ATMアダプテーション装置が端末装置とATM回路との間の接続装置に適用された例

を示す。バッファ6をプロセッサ5と端末装置側のCPUバス10との間に接続し、組み立てられたフレームをCPUでデータ処理する構成になっている。この構成により、端末装置をATM回線に接続することができる。

【0047】

【発明の効果】以上の説明から明らかなように、本発明によれば、宛先の異なる複数のデータフレームを1つのCRC符号生成回路で処理し、各フレームのCRC符号の生成と照合処理を行うことができる。また、組立バッファへのセルデータ読み込み時に、これと並行してCRC符号生成処理を実行することができ、データの伝送遅延を軽減した高速の受信処理が可能となる。

【図面の簡単な説明】

【図1】本発明によるATMアダプテーション装置の基本構成を示す図。

【図2】ATMセルのフォーマットを示す図。

【図3】AALタイプ5のCPDSC-PDUのフォーマットを示す図。

【図4】本発明におけるCRC符号生成のための制御手順を示すフローチャート。

【図5】CRC符号生成回路2の構成の一例を示すブロック図。

【図6】CRC符号生成回路2の演算部23の論理(上位ビット)の一例を示す図。

【図7】CRC符号生成回路2の演算部23の論理(下位ビット)の一例を示す図。

【図8】CRC符号生成回路2の内部制御信号生成回路28の構成の一例を示す図。

【図9】内部制御信号生成回路28のラッチ用クロック信号生成部282の回路構成の一例を示す図。

【図10】内部制御信号生成回路28のデータアクリ

ック信号生成部283の回路構成の一例を示す図。

【図11】CRC符号生成回路2へ初期値データを設定する時の信号タイミング図。

【図12】CRC符号生成回路2へセルデータを読み込む時の信号タイミング図。

【図13】CRC符号生成回路2へCRC符号生成対象データを書き込む時の信号タイミング図。

【図14】CRC符号生成回路2からCRC値を読み出す時の信号タイミング図。

【図15】ATMアダプテーション装置のネットワーク間接続装置への適用例を示す図。

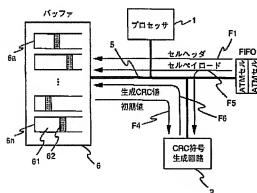
【図16】ATMアダプテーション装置のネットワーク間接続装置への適用例を示す図。

【図17】ATMアダプテーション装置の端末装置への適用例を示す図。

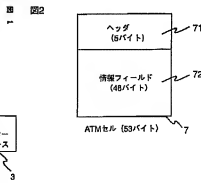
【符号の説明】

1…プロセッサ、2…巡回冗長検査符号生成回路、3…ATMインターフェース、4…FIFOメモリ、5…プロセッサバス、6…バッファメモリ、6a…6n…宛先毎のバッファエリア、61…組立中のCPDSC-PDUのCRC符号、7…ATMセル、71…ATMセルのヘッダ、72…ATMセルの情報フィールド、8…CPDSC-PDU、81…CPDSC-PDUの情報フィールド、82…CPDSC-PDUのパッド、83…CPDSC-PDUのトレイラ、21…ラッチ、22…セレクトラ、23…演算部、24…セレクトラ、25…ラッチ、26…セレクトラ、27…出力制御回路、28…内部制御信号生成回路、F1…セルヘッダ読み出し、F2…先頭セル判別、F3…CRC符号生成回路初期化、F4…初期値書き込み、F5…データ読み出し、F6…生成CRC値読み出し。

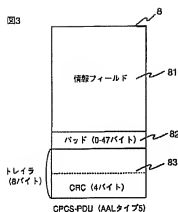
【図1】



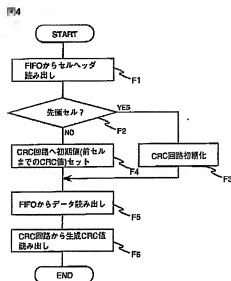
【図2】



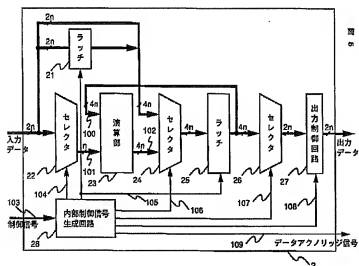
【図3】



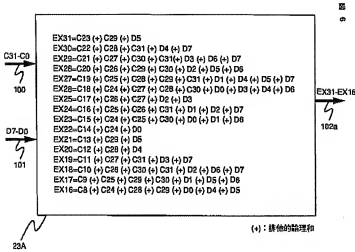
【図4】



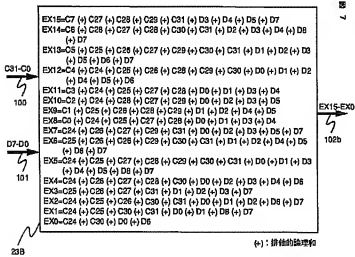
【図5】



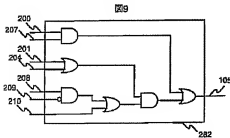
【圖6】



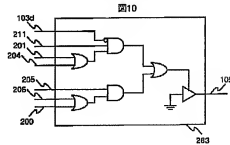
【圖7】



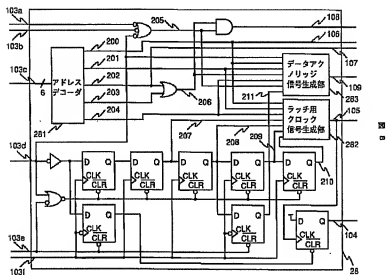
【圖9】



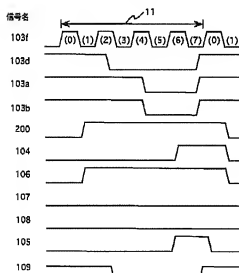
【圖10】



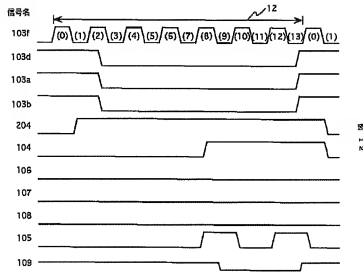
【図8】



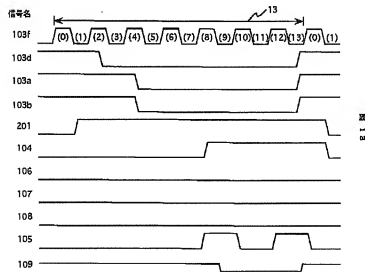
【図11】



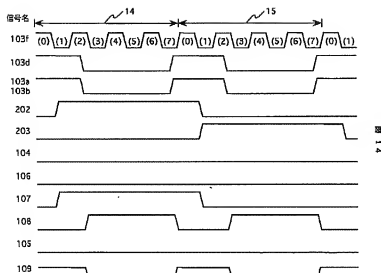
【図12】



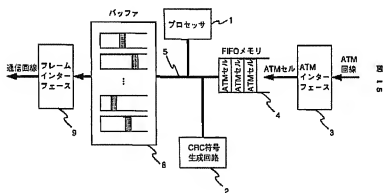
【図13】



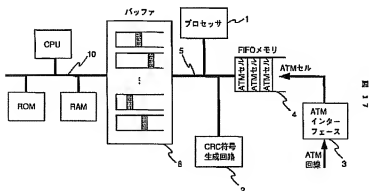
【図14】



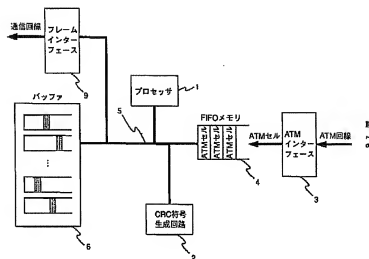
【図15】



【図17】



【図16】



フロントページの続き

(72)発明者 柳 純一郎

東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 浜田 徹

東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 田中 克佳

東京都小平市上水本町5丁目20番1号 日
立超エル・エス・アイ・エンジニアリング
株式会社内